

# ENTRENADOR RECICLADO DE BAJO COSTO PARA SISTEMAS EMBEBIDOS

Eddy Orlando Mier Cornejo

Carrera de Ingeniería de Mecatrónica, Escuela Militar de Ingeniera

La Paz, Bolivia

[eddyomc@doc.emi.edu.bo](mailto:eddyomc@doc.emi.edu.bo)

## LOW COST RECYCLED TRAINER FOR EMBEDDED SYSTEMS

**Resumen**— El presente trabajo tiene por objetivo mostrar el desarrollo de entrenadores para el uso de dispositivos lógicos programables (PLD) a partir del reciclaje, que abaratan en gran manera su desarrollo y que no existen a disposición en el mercado nacional.

**Palabras Claves**—

FPGA, matriz de puertas programables

PLD, dispositivos lógicos Programables

PCB, placa de Circuito impreso

BGA, matriz de rejilla de Bolas

**Abstract**- The present work aims to show the development of coaches for the use of programmable logic devices (PLD) from recycling, which greatly cheapen their development and that are not available in the national market.

**Keywords**-

FPGA, matrix of programmable doors

PLD, Programmable logic devices

PCB, printed circuit board

BGA, Ball grid matrix

### I. INTRODUCCIÓN

El presente artículo se centra en los problemas de manejar los PLDs, si bien existen uno que otro PLD a la venta en nuestro mercado. La

mayor parte de los componentes utilizados en la implementación de prototipos que utilizan PLDs, se obtienen mediante el reciclaje de componentes presentes en circuitos impresos procedentes de varios tipos de equipos y dispositivos electrónicos acopiados en diversos lugares, principalmente de la *Feria 16 de Julio* ubicada en la ciudad de El Alto, o también talleres de desmontaje de equipos electrónicos.



Conjuntos de placas recolectadas de la feria 16 de Julio

### II. DESARROLLO

**Prueba de PLDs**, de la familia de los PLDs, los más interesantes son los FPGA base de los

sistemas de hardware reconfigurable y sistemas embebidos, para las pruebas de los FPGA se tiene que estudiar la documentación sobre su funcionamiento y su software de desarrollo, el primer FPGA sometido a estudio fue el EPF8484ALC84 de ALTERA, se trata de un dispositivo bastante obsoleto en comparación de FPGAs modernos, sin embargo este FPGA ha servido para comprender el funcionamiento de este tipo de dispositivos además de desarrollar los algoritmos para la configuración de FPGAs del fabricante Altera que se aplican sin ningún cambio a familias modernas de estos dispositivos.

El proceso de prueba consiste inicialmente en el eliminar los componentes que rodean al FPGA en el circuito impreso para evitar tener que diseñar un nuevo PCB para este circuito integrado, luego se sueldan cables en las pistas que conducen a los pines dedicados a la configuración del FPGA como se observa en la figura siguiente, además de cables para la fuente de alimentación y excitación del FPGA.



FPGA en ser sometido a pruebas, el EPF8484ALC84 aún soldado en su placa de origen

Para el proceso de configuración del FPGA se requiere básicamente de 5 pines dedicados en el FPGA los cuales controlan la transferencia de los bytes pertenecientes al Bitstream generado por las herramientas de desarrollo de Altera, dicha transferencia es efectuada de una sencilla manera en serie donde el bit de cada byte del Bitstream es enviado uno a la vez

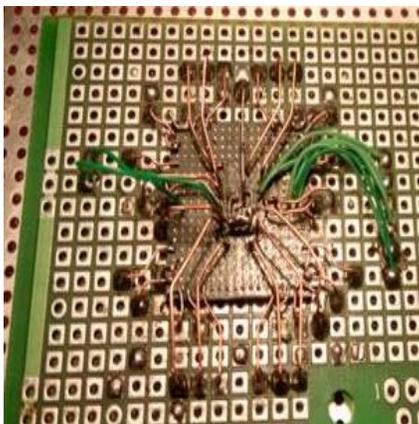
hasta haber enviado todos los bytes, de manera similar a un registro de desplazamiento, este modo de transferencia de datos es conocida como *Pasiva Serie* (PS) y permite configurar el FPGA mediante un microprocesador o microcontrolador de manera sencilla, dichos pines se muestran a continuación:

Pin	Función
<b>nCONFIG</b>	Señal activa en bajo que inicia el FPGA para el proceso de configuración
<b>DCLK</b>	Reloj de datos de configuración
<b>DATA0</b>	Datos de configuración, cada bit es introducido en el FPGA durante el flanco ascendente de DCLK
<b>nSTATUS</b>	Señal activa en bajo del estado de configuración del FPGA, indicando la presencia de un error durante el proceso de configuración
<b>CONF_DONE</b>	Señal activa en bajo que indica el final exitoso de la configuración

Los pines de configuración fueron conectados y se implementó un algoritmo para la configuración PS en el lenguaje de programación Visual Basic en su versión 6.0 en base a las notas de aplicación de altera utilizando las librerías ya compiladas de permitiendo la carga de un archivo de datos binarios (RBF) que previamente fue generado por la herramienta *MAX+PLUS II* de Altera conteniendo un sencillo diseño para la verificación del FPGA, durante la configuración del FPGA se comprueban constantemente los pines nSTATUS y CONF\_DONE, una vez finalizada la configuración indicada por la transición del pin CONF\_DONE el diseño cargado en el FPGA funciona de manera instantánea, lo que permite verificar el correcto funcionamiento del circuito integrado, posteriormente se extrajo el FPGA por completo del circuito integrado.

**Altera Cyclone EP1C12F324C8**

El siguiente FPGA disponible obtenido de un equipo de telecomunicaciones en la Feria 16 de Julio de la placa de un equipo de telecomunicaciones, el EP1C12F324C8 también del fabricante Altera, se trata de un dispositivo relativamente moderno con una capacidad lógica muy superior. Sin embargo, los pines de este circuito integrado están distribuidos en una matriz de bolas de estaño (BGA) por lo cual se efectuó una prueba de construcción funcional como se aprecia en la figura



Montaje y conexionado del FPGA EP1C12F324C8 de encapsulado BGA

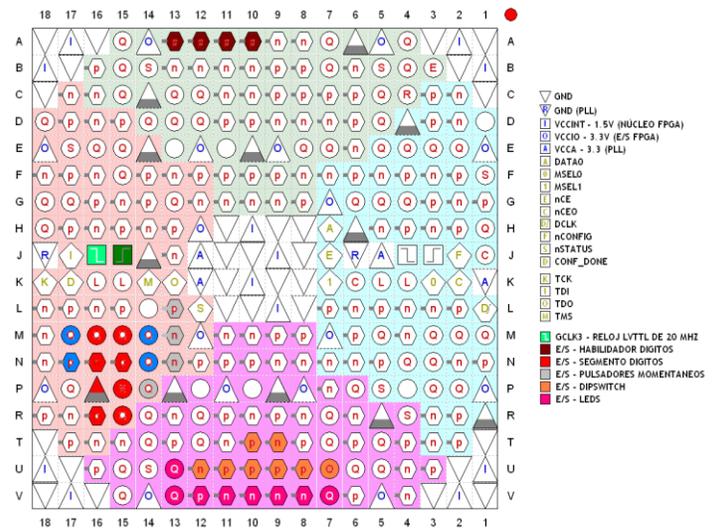
La prueba de construcción funcional en los nodos del FPGA a sobre una placa de prototipo de 2 caras, dichas conexiones necesarias efectuadas para el funcionamiento del circuito integrado son:

Pines FPGA	Función
VCCCORE, GND	Alimentación del núcleo de FPGA
VCCIO, GND	Alimentación E/S
VCCA, GNDA	Alimentación analógica del PLL
nCONFIG,	Configuración serial
nSTATUS,	pasiva
DCLK,	
CONF_DONE,	
DATA0, MSEL0,	
MSEL1, nCE,	
nCEO	

TDI, TDO, TCK,	JTAG
TMS	
GCLK3	Reloj global, entrada 3

En la misma placa de prototipos se instaló los reguladores de voltaje para VCCCORE (1.5V) y VCCIO además de VCCA (3.3V) y un microcontrolador ATmega8 que se encarga configurar el FPGA con los datos enviados por una PC de forma serial mediante el programa FASLoader implementado en Visual Basic 6 a partir de un archivo RBF, TTF ó POF generado por la herramienta de diseño Quartus II de Altera.

Las conexiones en el FPGA EP1C12F324C8 se efectuaron con ayuda del Layout generado por el programa Quartus II de Altera como se ve en la figura, mediante la herramienta de planeación de pines (Pin Planner) mostrando la distribución matricial en 2 dimensiones de los pines del FPGA, esto ayudó a construir un prototipo básico de entrenador para emplearlo en el desarrollo de la propiedad intelectual (IP) del prototipo.



Layout producido por la herramienta de Quartus II de los nodos utilizados del FPGA visto desde arriba.

En otra placa de prototipos se incluyó LED's, pulsadores, display's LED, dipswitch y finalmente la placa que contiene el FPGA colocando una lámina acrílica y formar el

entrenador básico como se muestra en la figura siguiente, que aparte de los pines necesarios para el funcionamiento del circuito integrado, se conectó los componentes a varios pines de E/S como se muestra en la leyenda.



Prototipo de entrenador FPGA con el dispositivo EP1C12F324C8 de ALTERA

Una vez finalizado el ensamblaje se creó un diseño sencillo en *Quartus II* para verificar el funcionamiento del FPGA cuyo Bitstream es enviado por el programa *FASLoader* al *ATMEGA8* comprobando si se han aceptado los datos de configuración con éxito ya que de otra manera el FPGA no se inicia, esta condición puede detectarse con las señales *nSTATUS* y *CONF\_DONE*. Se observó que tras una constante manipulación del entrenador básico el montaje tridimensional que lo conecta a los demás componentes del circuito es sumamente delicado y no es apto para su uso fuera del laboratorio ya que las conexiones son tan delicadas que el choque del algún objeto basta para romper las soldaduras que carecen de fuerza de sujeción por sus reducidas dimensiones.

**Costo del entrenador**, el costo que lo hace atractivo es el siguiente:

Diseño e implementación del entrenador	Bs. 100
Pasajes Teleférico Rojo	Bs. 6
Costo total del Entrenador	Bs. 156

El uso de dispositivos en la construcción del entrenador tan solo ocupó un 5% del total de componentes disponibles de las placas adquiridas

### III. CONCLUSIONES

El presente artículo muestra la implementación de entrenadores a partir de elementos reciclados adquiridos de bajo costo, comparando con entrenadores de distribución en el exterior de nuestro país, se presenta como una solución mucho más económica, viable. Lo más rescatable del proyecto es que se presenta como tarea de desarrollo electrónico y de software, permitiendo en los mismos, tareas mucho más complejas y de aplicaciones mejor implementadas.

### REFERENCIAS

- [1] <https://www.analog.com> Página oficial de Altera semiconductores (revisado 01/10/2018).
- [2] Krzysztof Iniewski, *EMBEDDED SYSTEMS: HARDWARE, DESIGN AND IMPLEMENTATION*, 2nd ed. Vancouver, Canada: Wiley, 2013.
- [3] Alippi Cesare, *INTELLIGENCE FOR EMBEDDED SYSTEMS*, Springer International Publishing, New Delhi-India 2014

**RECEPCION:** 27/02/2019  
**APROBACION:** 14/03/2019

Placas de reciclado obtenidas	Bs. 50
-------------------------------	--------